Docket No.: 67162-025 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Hidenori MITANI	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: October 15, 2003	:	Examiner: Unknown

For: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-379260, filed December 27, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: October 15, 2003

Q71622-025
MITANI
October 15, 2003

日　本　国　特　許　庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: ２００２年１２月２７日

出願番号
Application Number: 特願２００２－３７９２６０

[ST.10/C]: [ＪＰ２００２－３７９２６０]

出願人
Applicant(s): 三菱電機株式会社

２００３年　３月１４日

特許庁長官
Commissioner,
Japan Patent Office 太田信一郎

出証番号　出証特２００３－３０１６２９３

【書類名】　特許願
【整理番号】　542795JP01
【提出日】　平成14年12月27日
【あて先】　特許庁長官殿
【国際特許分類】　G11C 16/02
【発明者】
　【住所又は居所】　東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
　【氏名】　三谷　秀徳
【特許出願人】
　【識別番号】　000006013
　【住所又は居所】　東京都千代田区丸の内二丁目２番３号
　【氏名又は名称】　三菱電機株式会社
【代理人】
　【識別番号】　100062144
　【弁理士】
　【氏名又は名称】　青山　葆
【選任した代理人】
　【識別番号】　100086405
　【弁理士】
　【氏名又は名称】　河宮　治
【選任した代理人】
　【識別番号】　100113170
　【弁理士】
　【氏名又は名称】　稲葉　和久
【手数料の表示】
　【予納台帳番号】　013262
　【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　不揮発性半導体記憶装置及び不揮発性半導体記憶装置の書込み及び消去制御用シーケンス

【特許請求の範囲】

【請求項１】　複数のメモリセルが２次元配列しているメモリアレイと、

前記メモリセルの書込み及び消去を制御するシーケンスを記憶している記憶部と、

前記記憶部から前記シーケンスを読み出して、前記メモリセルの書込み及び消去を制御する書込＆消去制御部と

を備え、

前記シーケンスは、複数のサブシーケンスを含み、前記各サブシーケンスは、その終了前に、電圧をリセットする電圧リセット過程と、選択経路をリセットする経路リセット過程とを含むことを特徴とする不揮発性半導体記憶装置。

【請求項２】　前記シーケンスは、複数のサブシーケンスが順に配列されているとともに、前記各サブシーケンスの開始前に前記サブシーケンスをスキップするか否かを判断するスキップチェック過程をさらに含むことを特徴とする請求項１に記載の不揮発性半導体記憶装置。

【請求項３】　前記スキップチェック過程は、前記書込み＆消去制御部が各あらかじめ記憶しているフラグを用いて前記各サブシーケンスをスキップするか否かを判断することを特徴とする請求項２に記載の不揮発性半導体記憶装置。

【請求項４】　前記シーケンスは、隣接する２つのサブシーケンスの間に、シーケンスの実行を一時停止させるか否かを判断するサスペンド過程をさらに含むことを特徴とする請求項１に記載の不揮発性半導体記憶装置。

【請求項５】　前記サブシーケンスは、書込み時又は消去時にメモリセルがどのレベルに達しているか判定するベリファイをパスするか否かを判断する過程を含むことを特徴とする請求項１に記載の不揮発性半導体記憶装置。

【請求項６】　複数のメモリセルが２次元配列しているメモリアレイと、書込＆消去制御部とを備えた不揮発性半導体記憶装置の前記書込＆消去制御部で前記メモリセルの書込み及び消去を制御するために用いられるシーケンスであって

前記シーケンスは、複数のサブシーケンスを含み、前記各サブシーケンスは、その終了前に、電圧をリセットする電圧リセット過程と、選択経路をリセットする経路リセット過程とを含むことを特徴とする不揮発性半導体記憶装置の書込み及び消去制御用シーケンス。

【請求項７】　前記シーケンスは、複数のサブシーケンスが順に配列されているとともに、前記各サブシーケンスの開始前に前記サブシーケンスをスキップするか否かを判断するスキップチェック過程をさらに含むことを特徴とする請求項６に記載の不揮発性半導体記憶装置の書込み及び消去制御用シーケンス。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置及びその書込み・消去制御用シーケンスに関する。

【０００２】

【従来の技術】

不揮発性半導体記憶装置として、フラッシュメモリが知られている。フラッシュメモリは、メモリセルが２次元配列しているメモリアレイと、メモリセルの書込み、消去を制御する制御部（ＣＰＵ）とを搭載している。また、フラッシュメモリは、書込み及び消去を制御するソフトウエアであるシーケンス（プログラム）をその内部に格納している。

【０００３】

なお、従来のフラッシュメモリでは、書き換え用のプログラムをフラッシュメモリに書き込む際に複数のフラグ領域を設け、書き換え処理の複数の段階の終了判定又は良否の判定を行い、その結果を複数の該フラグ領域のそれぞれに記録する制御装置を有している（例えば、特許文献１参照。）。

【０００４】

【特許文献１】

特開２０００－１０５６９４号公報

【０００５】

【発明が解決しようとする課題】

フラッシュメモリの書き込み動作と消去動作のうち、消去動作のシーケンスは複雑化しており、実デバイスではわずか数秒であっても１回の検証（シミュレーション）実行には数十時間も要する場合がある。しかし、検証時間が長時間になると、シーケンスの途中で中断する場合がある。例えば、シーケンス途中で不具合が発覚した場合や、シミュレーションツールに起因してシーケンスの実行が途中で中断する場合がある。このようにシーケンス前半までは検証が完了した場合であっても、残りの後半の検証を行うには再度長いシーケンスを最初から最後まで連続して実行する必要があった。この場合、シーケンス途中へジャンプさせてシーケンス途中から実行させただけではジャンプによってスキップされたシーケンス部分の状態との整合性がとれず、全体として整合性のある正確な検証が行えなかった。このように、検証時間の長時間化がフラッシュメモリの開発工期を長くする要因の一つとなっている。

【０００６】

そこで、本発明の目的は、書込み及び消去制御用シーケンスの検証を効率よく行える不揮発性半導体記憶装置を提供することである。

【０００７】

【課題を解決するための手段】

本発明に係る不揮発性半導体記憶装置は、複数のメモリセルが２次元配列しているメモリアレイと、

前記メモリセルの書込み及び消去を制御するシーケンスを記憶している記憶部と、

前記記憶部から前記シーケンスを読み出して、前記メモリセルの書込み及び消去を制御する書込＆消去制御部と

を備え、

前記シーケンスは、複数のサブシーケンスを含み、前記各サブシーケンスは、その終了前に、電圧をリセットする電圧リセット過程と、選択経路をリセットする経路リセット過程とを含むことを特徴とする。

【０００８】

本発明に係る不揮発性半導体記憶装置の書込み及び消去制御用シーケンスは、複数のメモリセルが２次元配列しているメモリアレイと、書込＆消去制御部とを備えた不揮発性半導体記憶装置の前記書込＆消去制御部で前記メモリセルの書込み及び消去を制御するために用いられるシーケンスであって、

前記シーケンスは、複数のサブシーケンスを含み、前記各サブシーケンスは、その終了前に、電圧をリセットする電圧リセット過程と、選択経路をリセットする経路リセット過程とを含むことを特徴とする。

【０００９】

【発明の実施の形態】

本発明の実施の形態に係る不揮発性半導体記憶装置について、添付図面を用いて説明する。なお、図面において実質的に同一の部材には同一の符号を付している。

【００１０】

実施の形態１．

本発明の実施の形態１に係る不揮発性半導体記憶装置について図１を用いて説明する。図１は、この不揮発性半導体記憶装置１の概略構成を示すブロック図である。この不揮発性半導体記憶装置１は、フラッシュメモリであって、複数のメモリセル３０、３１が２次元配列しているメモリアレイ２６と、メモリセル３０、３１への書込及び消去を実行するプログラムコードのシーケンスを記憶している記憶部３と、該記憶部３から該シーケンスを読み出し、該シーケンスに基づいてメモリセルへの書込み、消去を行う書込＆消去制御部２とを備える。ここで、記憶部３はＲＯＭ、ＲＡＭ等のいずれであってもよい。

【００１１】

さらに、不揮発性半導体記憶装置１は、

（Ａ）書込＆消去制御部２からスタンバイ信号ＣＸＨＲＤＹ、チャージポンプ活性化信号ＰＰＵＭＰＥ、及びリセット信号ＲＳＥＴを受けて、これに応じて出力電位Ｖｏｕｔ＋、Ｖｏｕｔ－、ＶＷＬを発生して出力する電圧発生部４；

（Ｂ）外部からアドレス信号ＡＤＲを受けるアドレスバッファ１６；

（Ｃ）アドレスバッファ１６から内部アドレス信号を受け電圧発生部４から電位の供給を受け、セレクトゲート線ＳＧＬ、ワード線ＷＬ０、ＷＬ１、ソース線ＳＬおよびウェルの各電位を決定するＸデコーダ１８；

（Ｄ）データ入出力信号ＤＩＯを授受するための入出力バッファ２２；

（Ｅ）アドレスバッファ１６からアドレス信号を受け、デコードするＹデコーダ２０；及び

（Ｆ）Ｙデコーダ２０の出力に応じてデータ入出力信号に対応しメインビット線ＭＢＬに高電圧を印加するＹ系制御回路２４；

を備える。

【００１２】

電圧発生部４は、（ａ１）出力電位Ｖｏｕｔ＋を発生させる正電圧発生回路６、（ａ２）出力電位Ｖｏｕｔ－を発生させる負電圧発生回路８、（ａ３）ワード線電位V_{WL}を発生させるＷＬブースト回路１２、及び（ａ４）書込＆消去制御部２によって制御され、出力電位Ｖｏｕｔ＋、Ｖｏｕｔ－及びワード線電位ＶWLを受けて各内部回路に分配するディストリビュータ１４を含む。なお、ＷＬブースト回路１２は、高速アクセスを実現するために読出時に選択されたワード線ＷＬおよび選択されたセレクトゲートＳＧに与える昇圧電位を発生する回路である。

【００１３】

Ｘデコーダ１８は、（ｃ１）ワード線を選択するためのＷＬデコーダ（図示せず）、（ｃ２）セレクトゲートを選択するためのＳＧデコーダ（図示せず）、（ｃ３）選択されたメモリブロックに対応するウェル領域を選択するＷＥＬＬデコーダ（図示せず）、及びソース線を選択するためのＳＬデコーダ（図示せず）を含む。

【００１４】

Ｙ系制御回路２４は、（ｆ１）読出時にカラム選択を行ないセンスアンプで読出作業を行なうＹＧ＆センスアンプとラッチ回路（図示せず）と、（ｆ２）ラッチしているデータに基づき書込時のメインビット線ＭＢＬに高電位を印加するかどうかを決定するページバッファ（図示せず）とを含む。

【００１５】

また、不揮発性半導体記憶装置１は、メモリアレイ２６を含む。このメモリアレイ２６には、互いに分離されたウエルの内部に形成されたメモリブロックＢＬＯＣＫ０～ＢＬＯＣＫｎを含む。例えば、メモリブロックＢＬＯＣＫ０は、メモリセル３０、３２と、セレクトゲート２８とを含む。このメモリブロックＢＬＯＣＫ０では、Ｘデコーダ１８によって選択されたセレクトゲート線ＳＧＬ、ワード線ＷＬ０、ＷＬ１及びソース線ＳＬに対応するメモリセルが選択され、メインビット線ＭＢＬからデータに対応する信号を受けてデータ保持が行なわれる。なお、図１では、選択されたセレクトゲート線ＳＧＬ、ワード線ＷＬ０、ＷＬ１およびソース線ＳＬに対応するセレクトゲート２８、メモリセル３０、３２が代表的に図示されている。

【００１６】

次に、記憶部３に記憶されている書込み及び消去のプログラムコードのシーケンスについて説明する。この書込み及び消去のシーケンスは、複数のサブシーケンスを含んでいる。図２は、サブシーケンスのフローチャートの一例である。サブシーケンスに基づいて、書込＆消去制御部２は、次の各過程を行う。

（１）電圧、経路が共にリセットされ、それぞれ設定可能なスタンバイ状態（１０１）から開始する。

（２）経路をセットする（１０２）。

（３）電圧をセットする（１０３）。

（４）シーケンス１に従ってメモリセルへの書込み又は消去を行う（１０４）。

（５）電圧をリセットする（１０５）。

（６）経路をリセットする（１０６）。

（７）スタンバイ状態に戻り（１０７）、このサブシーケンスが終了する。

【００１７】

この不揮発性半導体記憶装置１では、記憶部３に記憶しているシーケンスは複数のサブシーケンスを含んでいる。それぞれのサブシーケンスは、その終了前に、電圧をリセットする電圧リセット過程１０５と、経路をリセットする経路リセット過程１０６を含むことを特徴とする。これによって、それぞれのサブシーケ

ンスの始まりと終わりの状態を全て同じスタンバイ状態にしている。そこで、サブシーケンスをそれぞれ独立して取り扱うことができる。また、一つのサブシーケンスから次のサブシーケンスへ移った際に、メモリセルを構成するトランジスタへの連続的な負荷増大を抑制できる。また、トランジスタの耐電圧値を超えないように制御できる。さらに、前のサブシーケンスによる設定電圧に対して、次のサブシーケンスでの設定電圧が低い場合、そのまま移行させた場合には高電圧値から低電圧値へのシフトに要する時間途中に書込み又は消去が行われる場合がある。上記のようにそれぞれのサブシーケンスごとに電圧リセット過程１０５、経路リセット過程１０６を設けたことによって、電圧値がシフト中に書込み、消去等が行われることを防止できる。

【００１８】

実施の形態２.

本発明の実施の形態２に係る不揮発性半導体記憶装置について図３を用いて説明する。図３は、この不揮発性半導体記憶装置の記憶部３に記憶しているシーケンスのフローチャートの一例である。このシーケンスは、過程２０４～２１０、過程２１２～２１８、過程２２０～２２６の３つのサブシーケンスが連続して配列されている。それぞれのサブシーケンスの開始前にはスキップフラグチェック過程２０３、２１１、２１９が設けられている。スキップフラグチェック過程２０３、２１１、２１９では、それぞれのサブシーケンスをスキップするか否かをフラグを用いて判断する。これによって、サブシーケンスごとにスキップするか否かを自由に制御できる。

【００１９】

図４は、シーケンスが８つのサブシーケンスを有する場合に、それぞれのサブシーケンス１～８をスキップするか否かのフラグを格納するレジスタを示す図である。このフラグを外部から設定可能にする。例えば、デフォルトではレジスタに格納するフラグの設定を全て”０”とする。この場合には全てのサブシーケンス１～８を実行する。そこで、特定のサブシーケンスに対応するフラグの値を”０”から”１”に変更することにより、そのサブシーケンスをスキップすることができる。なお、スキップ制御用のレジスタは記憶部３の一部に設けてもよく、

他の記憶装置を用いてもよい。

【００２０】

実施の形態３．

本発明の実施の形態３に係る不揮発性半導体記憶装置について図５を用いて説明する。図５は、この不揮発性半導体記憶装置の記憶部に記憶しているサブシーケンスのフローチャートである。このサブシーケンスには、その最初にシーケンスの実行を一時的に中断するサスペンドを実行するサスペンドルーチン３１０に入るか否かを判断する過程３０５を含んでいる。これによって特定のサブシーケンスについてサスペンドを検証できる。

【００２１】

なお、あらかじめ記憶させておいたフラグを用いて、サスペンドルーチン３１０に入るか否かを判断してもよい。また、外部から設定可能なレジストに上記フラグを記憶させておいてもよい。

【００２２】

実施の形態４．

本発明の実施の形態４に係る不揮発性半導体記憶装置について図６を用いて説明する。図６は、この不揮発性半導体記憶装置１の記憶部３に記憶しているサブシーケンスのフローチャートである。このサブシーケンスは、書込み又は消去のシーケンス１の過程４０４を行った後、ベリファイをパスするか否かを判断する過程４０５を含むことを特徴とする。ベリファイをパスする場合（Ｙ）には、そのままサブシーケンスの以降の各過程４０６～４０８を実行する。この場合、ベリファイ回路（図示せず）を機能させない（ＦＡＩＬ）か又はベリファイ回路をパス（ＰＡＳＳ）する。一方、ベリファイを実行する場合（Ｎ）には、エラー処理ルーチン４１０を実行し、書込み時と消去時に各メモリセルがどのレベルまで達しているかを判定する。これによって、特定のサブシーケンスにおいてベリファイ動作を制御できる。

【００２３】

なお、ベリファイをパスするか否かの判断は、あらかじめ記憶されているフラグを用いて行ってもよい。また、外部から設定可能なレジストに上記フラグを記

憶させておいてもよい。

【００２４】

【発明の効果】

本発明の不揮発性半導体記憶装置によれば、記憶部に記憶しているシーケンスは複数のサブシーケンスを含んでいる。それぞれのサブシーケンスは、終了前に電圧をリセットする電圧リセット過程と、経路をリセットする経路リセット過程を含んでいる。これによって、それぞれのサブシーケンスの始まりと終わりの状態を全て同じスタンバイ状態にしている。そこで、サブシーケンスをそれぞれ独立して取り扱うことができる。

【図面の簡単な説明】

【図１】　本発明の実施の形態１に係る不揮発性半導体記憶装置の概略構成を示すブロック図である。

【図２】　本発明の実施の形態１に係る不揮発性半導体記憶装置の書込み及び消去を制御するシーケンスを構成するサブシーケンスのフローチャートである。

【図３】　本発明の実施の形態２に係る不揮発性半導体記憶装置における複数のサブシーケンスを含むシーケンスのフローチャートである。

【図４】　各サブシーケンスをスキップするか否かを決めるフラグを格納するレジストの概要を示す図である。

【図５】　本発明の実施の形態３に係る不揮発性半導体記憶装置におけるサブシーケンスのフローチャートである。

【図６】　本発明の実施の形態４に係る不揮発性半導体記憶装置におけるサブシーケンスのフローチャートである。

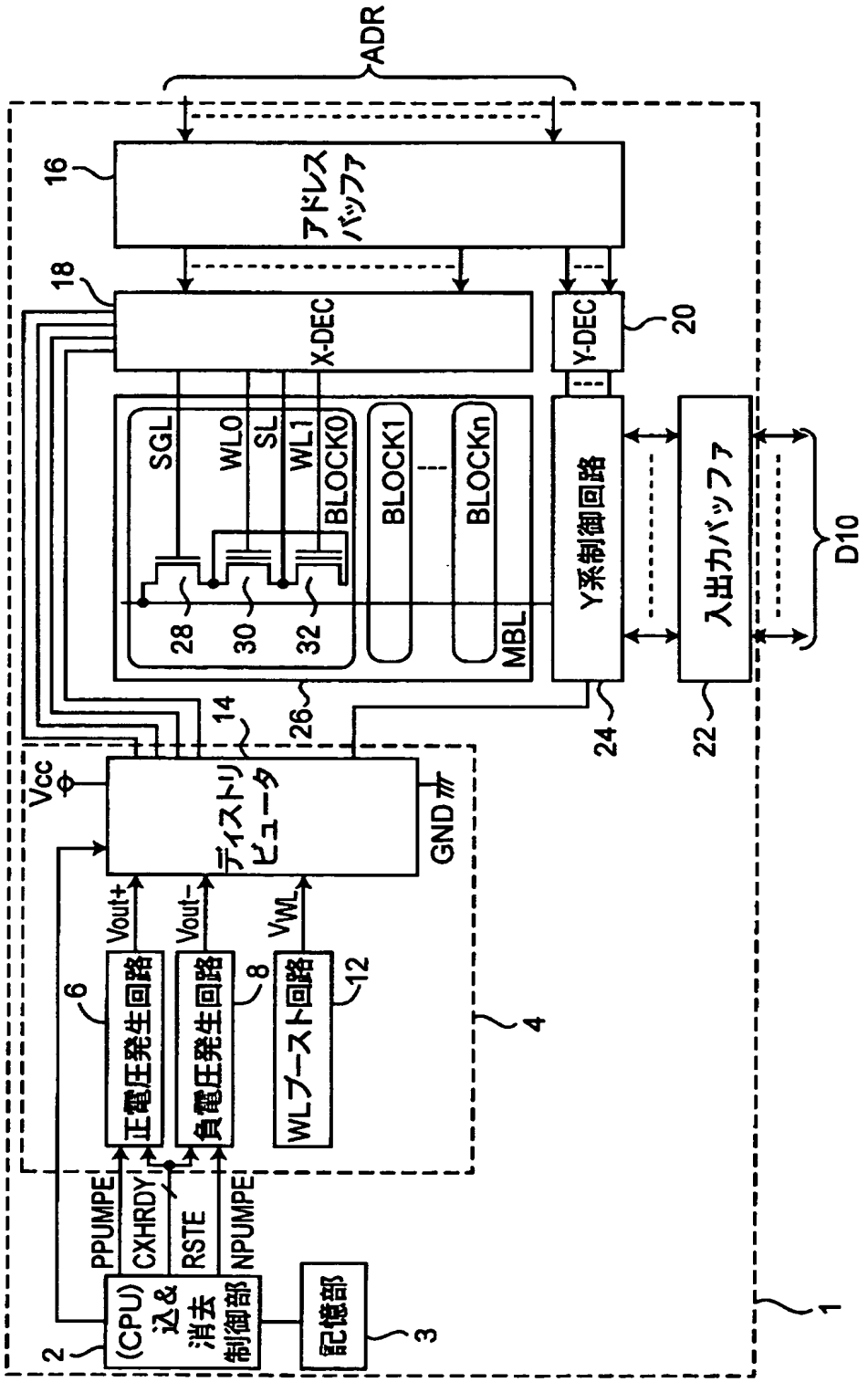
【符号の説明】

１　不揮発性半導体記憶装置、２　書込＆消去制御部（ＣＰＵ）、３　記憶部、４　電圧発生部、６　正電圧発生回路、８　負電圧発生回路、１２　ＷＬブースト回路、１４　ディストリビュータ、１６　アドレスバッファ、１８　Ｘデコーダ（Ｘ－ＤＥＣ）、２０　Ｙデコーダ（Ｙ－ＤＥＣ）、２２　入出力バッファ、２４　Ｙ系制御回路、２６　メモリアレイ、２８　セレクトゲート、３０、３２

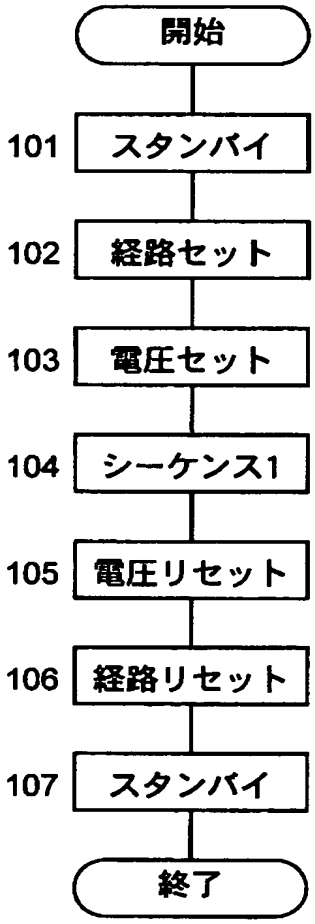
メモリセル、ＢＬ１～ＢＬｍ　ビット線、ＢＬＯＣＫ０～ＢＬＯＣＫｎ　メモリブロック、ＭＢＬ　メインビット線、ＭＴ　メモリトランジスタ、ＷＬ　ワード線

【書類名】　図面

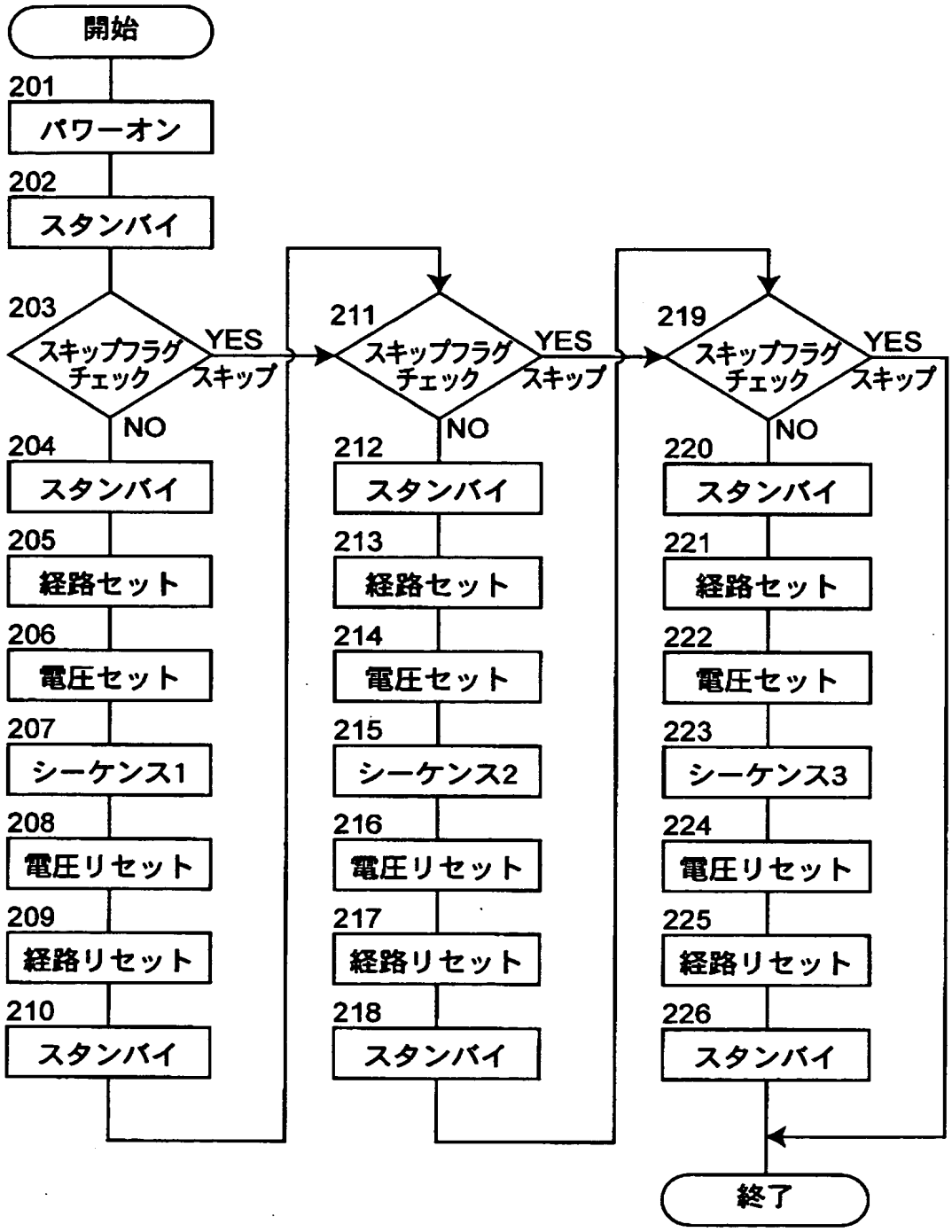
【図１】


ADR
16
アドレスバッファ
18
X-DEC
Y-DEC
20
SGL
WL0
SL
WL1
BLOCK0
BLOCK1
BLOCKn
MBL
28
30
32
Y系制御回路
入出力バッファ
D10
14
26
24
22
Vcc
ディストリビュータ
GND
Vout+
Vout−
VWL
正電圧発生回路
負電圧発生回路
WLブースト回路
6
8
12
4
PPUMPE
CXHRDY
RSTE
NPUMPE
(CPU)
込&
消去
制御部
記憶部
2
3
1

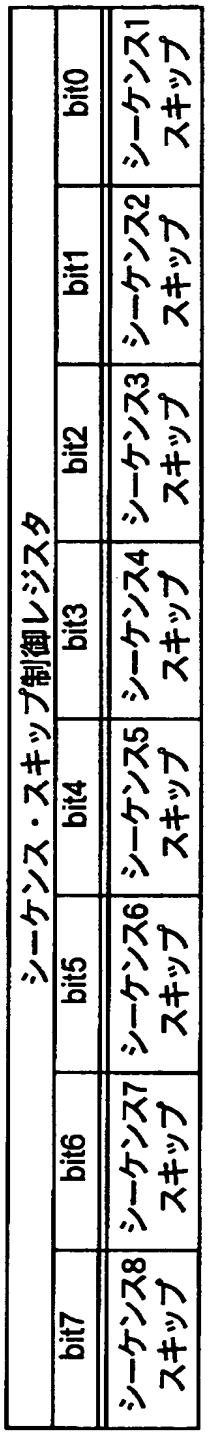
【図２】


開始
101
スタンバイ
102
経路セット
103
電圧セット
104
シーケンス1
105
電圧リセット
106
経路リセット
107
スタンバイ
終了

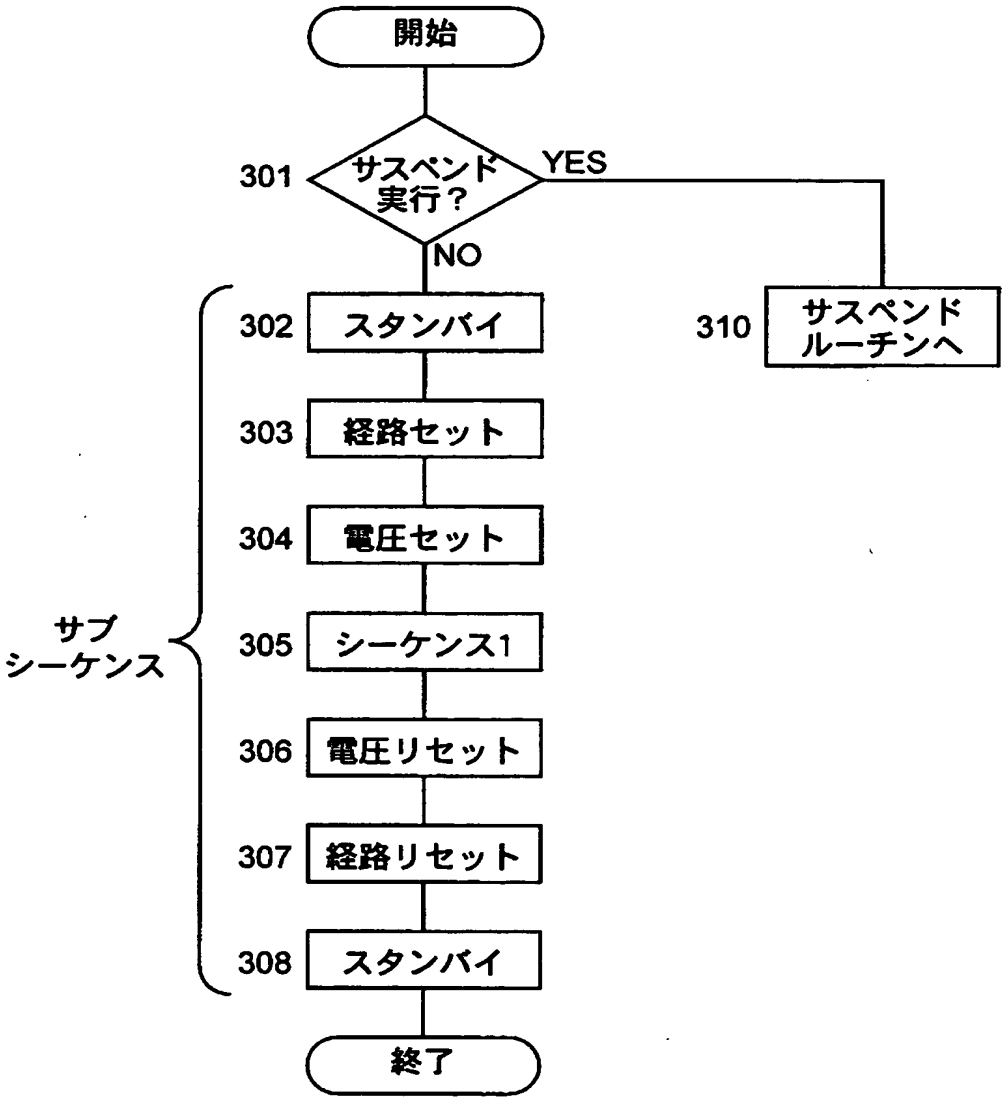
【図３】


開始
201
パワーオン
202
スタンバイ
203
スキップフラグチェック
YES
スキップ
NO
204
スタンバイ
205
経路セット
206
電圧セット
207
シーケンス1
208
電圧リセット
209
経路リセット
210
スタンバイ
211
スキップフラグチェック
YES
スキップ
NO
212
スタンバイ
213
経路セット
214
電圧セット
215
シーケンス2
216
電圧リセット
217
経路リセット
218
スタンバイ
219
スキップフラグチェック
YES
スキップ
NO
220
スタンバイ
221
経路セット
222
電圧セット
223
シーケンス3
224
電圧リセット
225
経路リセット
226
スタンバイ
終了

【図４】

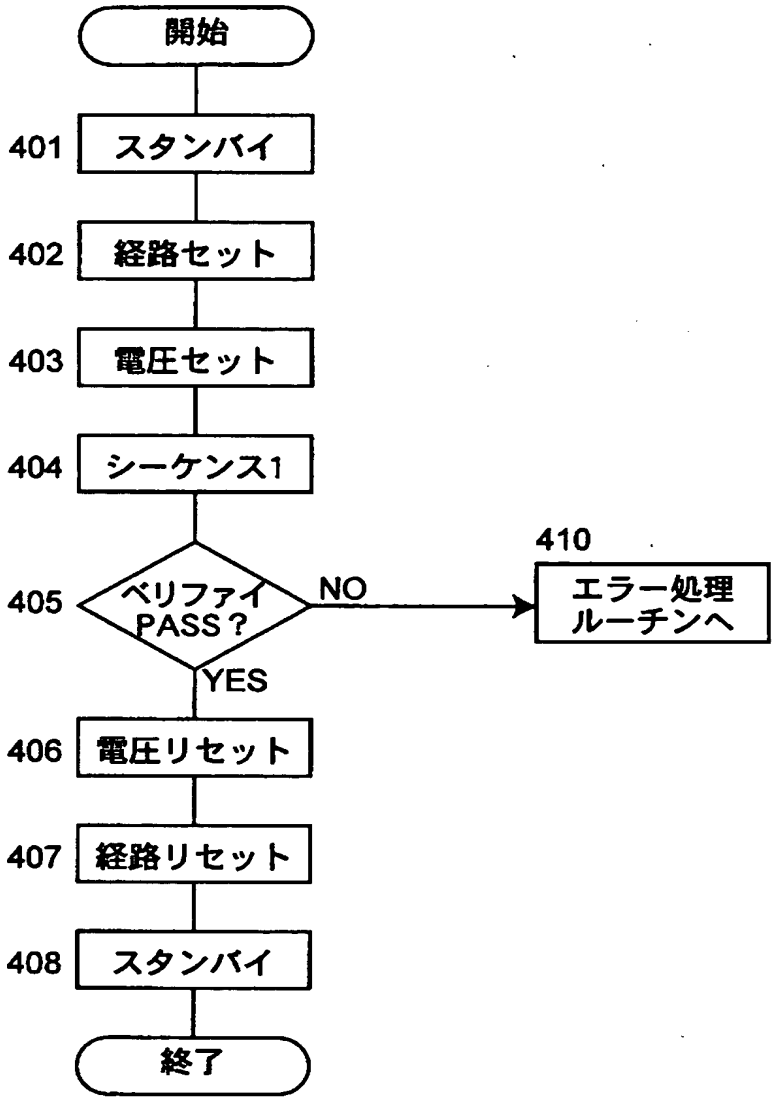

シーケンス・スキップ制御レジスタ
bit7
bit6
bit5
bit4
bit3
bit2
bit1
bit0
シーケンス8スキップ
シーケンス7スキップ
シーケンス6スキップ
シーケンス5スキップ
シーケンス4スキップ
シーケンス3スキップ
シーケンス2スキップ
シーケンス1スキップ

【図５】



出証特２００３－３０１６２９３

【図６】


開始
401
スタンバイ
402
経路セット
403
電圧セット
404
シーケンス1
405
ベリファイ
PASS？
NO
410
エラー処理
ルーチンへ
YES
406
電圧リセット
407
経路リセット
408
スタンバイ
終了

【書類名】　　要約書

【要約】

【課題】　シーケンスの検証が効率よく行える不揮発性半導体記憶装置を提供する。

【解決手段】　不揮発性半導体記憶装置１は、複数のメモリセル３０、３２が２次元配列しているメモリアレイ２６と、前記メモリセルの書込み及び消去を制御するシーケンスを記憶している記憶部３と、前記記憶部から前記シーケンスを読み出して、前記メモリセルの書込み及び消去を制御する書込＆消去制御部２とを備え、前記シーケンスは、複数のサブシーケンスを含み、前記各サブシーケンスは、その終了前に、電圧をリセットする電圧リセット過程と、選択経路をリセットする経路リセット過程とを含む。

【選択図】　　図１

出 願 人 履 歴 情 報

識別番号　〔０００００６０１３〕

１．変更年月日　１９９０年　８月２４日
［変更理由］　新規登録
住　所　東京都千代田区丸の内２丁目２番３号
氏　名　三菱電機株式会社